

(Page 4)



JP8185371

Biblio

Page 1

Drawing



BUS ARBITRATION DEVICE

Patent Number: JP8185371
Publication date: 1996-07-16
Inventor(s): SASAKI YASUKI
Applicant(s): NKK CORP
Requested Patent: ☐ JP8185371
Application Number: JP19940336860 19941227
Priority Number(s):
IPC Classification: G06F13/36; G06F13/36
EC Classification:
Equivalents:

Abstract

PURPOSE: To execute bus arbitration suppressing the reduction of throughput of the whole system to its absolute minimum when collision occurs in data transfer using a common bus between a CPU and an external device.

CONSTITUTION: When autonomous data transfer from an external device 32 to an external device 31 collides with data transfer between the CPU 20 and the device 31, transfer data from the device 32 are temporarily stored in a buffer 101 and the data transfer between the CPU and the device 31 is preferentially processed. After ending the data transfer between the CPU and the device 31, the data stored in the buffer 101 are transferred to the device 31 without rereading out the transfer data from the device 32. When there is no collision in data transfer, autonomous data transfer from the device 32 to the device 31 is continued. If collision occurs again in the data transfer, data transfer from the device 32 to the device 31 is interrupted and transfer data from the device 32 are temporarily stored in the buffer 101 again.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-185371

(43)公開日 平成8年(1996)7月16日

(51)Int.Cl.⁶

G 0 6 F 13/36

識別記号

3 1 0 F 9172-5E

5 2 0 D 9172-5E

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 3 F D (全 6 頁)

(21)出願番号 特願平6-336860

(22)出願日 平成6年(1994)12月27日

(71)出願人 000004123

日本鋼管株式会社

東京都千代田区丸の内一丁目1番2号

(72)発明者 佐々木 泰樹

東京都千代田区丸の内一丁目1番2号 日

本鋼管株 式会社内

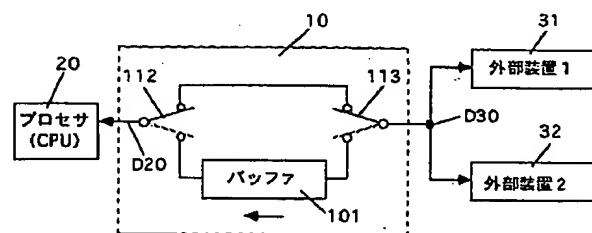
(74)代理人 弁理士 長谷川 和音

(54)【発明の名称】 バス調停装置

(57)【要約】

【目的】CPUと外部装置との間で共通バスを用いたデータ転送に衝突が生じた場合に、システム全体のスループット低下を最小限に止めたバス調停を行う。

【構成】外部装置32から外部装置31への間の自律的なデータ転送がCPU20と外部装置31とのデータ転送と衝突したときは、外部装置32からの転送データをバッファ101に一時保存し、CPUと外部装置31とのデータ転送を優先処理する。CPUと外部装置31とのデータ転送が終了したら、外部装置32から転送データを読み直すことなく、バッファ101に保存したデータを外部装置31に転送する。その後、データ転送の衝突がないなら外部装置32から外部装置31への自律的なデータ転送を継続する。データ転送の衝突が再び生じたときは、外部装置32から外部装置31へのデータ転送が中断され、外部装置32からの転送データが再びバッファ101に一時的に保存される。



1

【特許請求の範囲】

【請求項 1】 外部から内部動作を停止させられることのないデータ処理プロセッサと；自律的なデータ転送機能を持ち、共通のバスを介して前記データ処理プロセッサに接続される 1 以上の外部装置と；複数の前記外部装置間若しくは前記外部装置と前記データ処理プロセッサとの間のデータ転送が前記データ処理プロセッサと前記外部装置の 1 つとのデータ転送と衝突したときに、前記複数の外部装置間若しくは前記外部装置と前記データ処理プロセッサとの間の転送データを一時保存し、前記データ処理プロセッサのデータ転送終了後に、一時保存したデータの転送を行うバス調停回路とを備えたことを特徴とするバス調停装置。

【請求項 2】 外部から内部動作を停止させられることのないデータ処理プロセッサと；自律的なデータ転送機能を持ち、共通のバスを介して前記データ処理プロセッサに接続される第 1 の外部装置と；自律的なデータ転送機能を持ち、共通のバスを介して前記データ処理プロセッサに接続される第 2 の外部装置と；前記第 1 および第 2 外部装置間のデータ転送またはこれらの外部装置の 1 つと前記データ処理プロセッサとの間のデータ転送が前記データ処理プロセッサと前記第 1 または第 2 外部装置とのデータ転送と衝突したときに、前記第 1 または第 2 外部装置からの第 1 転送データを一時保存する保存手段と；前記衝突を起こした前記データ処理プロセッサのデータ転送の終了後に、前記保存手段に一時保存されたデータについて、前記第 1 および第 2 外部装置間またはこれらの外部装置の 1 つと前記データ処理プロセッサとの間のデータ転送を行うバス調停回路とを備えたことを特徴とするバス調停装置。

【請求項 3】 外部から内部動作を停止させられることのないデータ処理プロセッサと；自律的なデータ転送機能を持ち、共通のバスを介して前記データ処理プロセッサに接続される第 1 の外部装置と；自律的なデータ転送機能を持ち、共通のバスを介して前記データ処理プロセッサに接続される第 2 の外部装置と；前記第 1 および第 2 外部装置間のデータ転送またはこれらの外部装置の 1 つと前記データ処理プロセッサとの間のデータ転送が前記データ処理プロセッサと前記第 1 または第 2 外部装置とのデータ転送と衝突したときに、前記第 1 または第 2 外部装置からの第 1 転送データを一時保存する保存手段と；前記第 1 および第 2 外部装置間のデータ転送またはこれらの外部装置の 1 つと前記データ処理プロセッサとの間のデータ転送が前記データ処理プロセッサと前記第 1 または第 2 外部装置とのデータ転送と衝突したときに、前記データ処理プロセッサからの第 2 転送データを一時保存する第 2 保存手段と；前記衝突を起こした前記データ処理プロセッサのデータ転送の終了後に、前記第 1 または第 2 保存手段に一時保存されたデータについて、前記第 1 および第 2 外部装置間またはこれらの外部装置の 1 つと前記データ

2

処理プロセッサとの間のデータ転送を行うバス調停回路とを備えたことを特徴とするバス調停装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、外部から内部動作を停止させられることのないデータ処理プロセッサの動作と、このプロセッサと共通にデータバスを使用する複数外部装置の自律的なデータ転送動作とを調停するバス調停装置の改良に関する。

【0002】

【従来の技術】1つのマイクロプロセッサと複数の外部装置がローカルバスを介して接続されたシステムにおいては、通常、外部装置側の動作よりもマイクロプロセッサ側の動作の方が優先されるようになっている。たとえば、ある外部装置（ハードディスク）から他の外部装置（メモリの特定エリア）へのデータ転送（ダイレクトメモリアクセス；DMA 転送など）動作よりも、マイクロプロセッサと別の外部装置（メモリの別エリア）とのデータ転送（主記憶へのアクセスなど）動作の方が優先される。そのために、マイクロプロセッサといずれかの外部装置との間でデータ転送の衝突が生じた場合に対処するデータバス調停機能が、必要になってくる。この調停機能が働くためには、プロセッサ側のデータ転送作業が終了した後に、後回しにされた外部装置側のデータを再転送する機能が、マイクロプロセッサ側あるいは外部装置側に装備されていなければならない。

【0003】

【発明が解決しようとする課題】衝突を起こしたデータ転送の調停のために該当外部装置のデータ転送を強制的に停止させ、その後システムを回復させてデータ再転送を行うには、ある程度の時間（システム回復時間）がかかる。システム全体の処理速度が上がってくると、この回復時間が、システム全体のスループット（一定時間内に処理される仕事量）に対するボトルネックとなる。

【0004】この発明は上記事情に鑑みなされたもので、その目的は、データ処理プロセッサとその外部装置との間で共通のバスを用いたデータ転送に衝突が生じた場合に、システム全体のスループットの低下を最小限に止めてバス調停を行うことのできるバス調停装置を提供することである。

【0005】

【課題を解決するための手段】外部装置 31 と外部装置 32 との間の自律的なデータ転送（DMA 転送など）あるいは外部装置 31 または外部装置 32 と CPU 20 との間のデータ転送（CPU 内部のキャッシュメモリへのデータ転送など）が、CPU 20 と外部装置 31 または外部装置 32 とのデータ転送と衝突したときは、CPU 20 と外部装置 31 または外部装置 32 とのデータ転送（メモリアクセスなど）を優先処理し、外部装置 32 または外部装置 31 からの転送データをバッファ 101 に

一時保存する。

【0006】

【作用】CPU20と外部装置31（または外部装置32）とのデータ転送が終了したら、外部装置32（または外部装置31）から転送データを読み直すことなく、バッファ101に保存したデータを外部装置31（または外部装置32）に転送する。その後、データ転送の衝突がないなら、外部装置31と外部装置32との間の自律的なデータ転送（あるいは外部装置とCPUとの間のデータ転送）を継続する。データ転送の衝突が再び生じたときは、外部装置31と外部装置32との間のデータ転送を中断し、外部装置32（または外部装置31）からの転送データが再びバッファ101に一時的に保存される。以下同様の動作を繰り返す。

【0007】

【実施例】以下、この発明のバス調停装置の構成および動作について、図面を参照しながら説明する。

【0008】図1は、この発明の一実施例に係るバス調停装置の概略構成を示すブロック図である。同図において、マイクロコンピュータ（以下CPUとする）で構成されるデータ処理プロセッサ20は、共通のデータバスを介して、第1の外部装置31および第2の外部装置32に接続される。この共通バス中に、この発明のバス調停回路10が挿入される。

【0009】なお、第1の外部装置31の具体例としては半導体メモリ（RAMなど）があり、第2の外部装置32の具体例としては大容量記憶装置（ハードディスクHDD、フラッシュメモリEEPROMあるいは通常のROMなど）がある。ファクシミリのような通信端末を外部装置32として用いることもできる。またCPU20は、UNIXなどの汎用マルチタスク対応オペレーティングシステム（以下OSとする）の管理下で、外部装置31、32を含む様々な周辺装置の動作制御を行うことができるようになってい

【0010】いま、外部装置32（HDD）から外部装置31（RAM）へのDMA転送中にCPU20が外部装置31（RAM）から所望のデータ読取を開始すると、CPU20のOSはこの読み取りの割込をソフトウェア的に検知する。あるいは、CPU20が外部装置31（RAM）へ所定のデータを書き込んでいる最中に外部装置32（ファクシミリ）から装置31（RAM）の別エリアへの書き込み（CPUからみるとバックグラウンドの作業）が開始される場合、外部装置32（ファクシミリ）内部のハードウェアが書き込みリクエスト信号を発生すると、CPU20はこのリクエスト信号（割込信号）をハードウェア的に検知する。

【0011】上記割込が検知されると、共通バスを介したCPU20と外部装置31との間のデータ転送が完了するまでの間に外部装置32から取り出されると予測される量のデータが、切換スイッチ回路113を介して、

事前にバッファ101に一時格納される。

【0012】たとえば、外部装置32（HDD）から外部装置31（RAM）へDMA転送が行われている最中の時間t1に、CPU20が、RAM31の一部を用いる反復計算作業を開始するために、上記割込を発生したとする。この反復計算作業に要する時間は、計算内容に応じてOS（またはこの計算を実行するアプリケーションソフトウェア）が予め掴んでいる。またHDD32からRAM31へのデータ転送レートDTRも事前に分かっている。すると、CPU20の計算作業が時間t2に終了するとすれば、データ転送レートDTRと時間差（t2-t1）から、割込中にHDD32からRAM31へ転送されると予想されるデータ量も分かる。こうして予想された量のデータがHDD32からバッファ101に転送され、そこで一時格納される。

【0013】このバッファ101への一時格納処理の後、時間t2までは、共通データバスはCPU20とRAM31との間のデータ（D20）転送にだけ使用されるようになる。すると、HDD32から取り出されるデータ（D30）が共通バスに排出されることがなくなり、共通バスにおけるデータ衝突が回避される。

【0014】時間t2に上記反復計算の割込が終了すると、バッファ101に一時格納されたデータ（D30）は、切換スイッチ回路112を介してCPU20により取り出され、その直後に切換スイッチ回路113を介してRAM31に転送される。この場合、割込期間t1～t2の間にDMA転送されると予想されたデータはすでにバッファ101に格納されており、それを改めてHDD32から読み直す必要はない。このため、バッファ101内のデータ転送後は、割込中断した部分からHDD32の読み出しを開始すればよいので、バス調停後のシステム回復時間が短縮され、システム全体のスループットの低下が少ない。また、CPU20はバス調停作業のために動作停止することがなく、そのためのスループット低下もない。

【0015】図2は、この発明の他の実施例に係るバス調停装置の概略構成を示すブロック図である。同図において、データ処理プロセッサ（CPU）20は、共通のデータバスに設けられたバス調停回路10を介して、第1の外部装置31および第2の外部装置32に接続される。

【0016】図2の実施例と図1の実施例との違いは、バス調停回路10の内容にある。図1では外部装置31または32側からのデータD30を一時格納するバッファ101しか設けていない。一方、図2では、図1の構成に加えて、CPU20からのデータD20一時格納するバッファ102を設けている。

【0017】すなわち図2の実施例では、たとえばCPU20から外部装置31へのデータ転送中に割込が入った場合に、この割込期間中にCPU20から外部装置3

5

1へ転送されるであろう量のデータがバッファ102に一旦格納される。割込終了後、バッファ102に格納されたデータが切換スイッチ回路115を介して外部装置31へ転送される。その後は、切換スイッチ回路114、115の中央接点のダイレクト接続を介して、CPU20から外部装置31へのデータ転送が継続される。

【0018】図3は、図1のバス調停装置に適用できるバス調停回路の具体例を示す。割込のないときは、CPU20はリリース信号REL="1"を発生しており、バス調停回路10内のアンドゲート120は開き、RSフリップフロップ122はリセットされている。この場合、リセットされたフリップフロップ122の出力Q="0"はアンドゲート128に与えられており、ゲート128から選択信号SEL="0"が出力される。この信号SEL="0"は単方向の3ステートバッファ136に与えられ、またそれを反転回路130でレベル反転した"1"信号が双方向3ステートバッファ132に与えられる。その結果、単方向の3ステートバッファ136は信号遮断状態となり、双方向3ステートバッファ132は信号導通状態となる。

【0019】外部装置31(RAMなど)または外部装置32(通信端末など)がデータ授受のために有効データ出力信号ADS="1"を発生すると、この信号ADSはゲート120を通りチップイネーブル信号CEとなってCPU20に供給される。CPU20は、そのとき走っているソフトウェアの状態に応じて、読み書き方向指示信号RWDを双方向3ステートバッファ132に与える。

【0020】たとえばCPU20が内部データをRAM31に書き込もうとしているときは、信号RWD="1"がバッファ132に与えられる。すると、CPU20から出力されたデータD20(アドレスデータも含む)は図中網掛け線で示す共通バスに送り出され、信号導通状態のバッファ132を介してRAM31に転送される。

【0021】一方、たとえばCPU20が端末32からデータを読み取ろうとしているときは、信号RWD="0"がバッファ132に与えられる。すると、端末32から出力されたデータD30は図中網掛け線で示す共通バスに送り出され、信号導通状態のバッファ132を介してCPU20に転送される。

【0022】ここで、たとえば端末32から割込のリクエスト信号REQ="1"が出力されたとする(割込発生)。この信号REQ="1"がCPU20に与えられると、CPU20はこの割込を検知し、リリース信号REL="0"レベルに切り替える。その結果RSフリップフロップ122のリセット入力は"0"となる。一方、リクエスト信号REQ="1"がフリップフロップ122のセット入力に与えられるので、その出力Qは"1"となる。

6

【0023】また、信号REQ="1"は非反転回路124を介して"1"レベルの許可信号GNTとなる。リクエスト信号REQ="1"に応答して許可信号GNT="1"が端末32に与えられると、端末32は、システムクロックCLKのタイミングで、所定のデータD30を共通バスに出力する。共通バスに出力されたデータD30は、FIFO(ファーストイン・ファーストアウト)型バッファメモリ134に入力される。

【0024】前記フリップフロップ122の出力Q="1"および有効データ出力信号ADS="1"は、アンドゲート126に与えられる。このゲート126にはシステムクロックCLKが入力されている。Q="1"およびADS="1"によりゲート開となったアンドゲート126の出力であるライトアクセス信号WASは、クロックCLKと同じクロックとなっている。FIFOメモリ134は、信号WASのクロックタイミングで共通バス上のデータD30を先頭から順に取り込むようになる。

【0025】FIFOメモリ134がデータ(D30)で満杯になる前は、FIFOバッファ134は"1"レベルのエンプティ信号EMPを出力している。この信号EMP="1"とフリップフロップ122の出力Q="1"とがアンドゲート128に入力されると、その出力信号SELは"1"レベルになる。すると、単方向の3ステートバッファ136は信号導通状態となり、双方向3ステートバッファ132は信号遮断状態となる。したがって端末32からのデータD30がバッファ132を介してCPU20側に流れ込むことはない。

【0026】端末32からの割込が終了すると、リクエスト信号REQが"0"になる。すると、FIFOメモリ134に格納されたデータが単方向3ステートバッファ136を介してCPU20に転送される。その後、CPU20はリリース信号REL="1"でフリップフロップ122をリセットする。その結果、フリップフロップ122の出力Qが"0"となる。すると信号SELが"0"レベルとなり、単方向の3ステートバッファ136は信号遮断状態となり、双方向3ステートバッファ132は信号導通状態となる。こうして、割込開始以前の状態に戻る。CPU20は、メモリ134から受け取ったデータを、双方向3ステートバッファ132を介して外部装置側へ戻す。

【0027】なお、FIFOメモリ134が満杯になりエンプティ信号EMPが"0"になると、アンドゲート128の出力信号SELは"0"レベルとなる。すると、単方向の3ステートバッファ136は信号遮断状態となり、双方向3ステートバッファ132は信号導通状態となる。つまり、メモリ134へのデータ一時格納は終了し、そこに格納されたデータがCPU20側へ流れ出すことはない。

【0028】FIFOメモリ134が満杯になる前にC

7

P U 2 0 がリリース信号 R E L = " 1 " でフリップフロップ 1 2 2 をリセットすると、フリップフロップ 1 2 2 の出力 Q が " 0 " となる。すると、メモリ 1 3 4 にその時点までに書き込まれた量（割込中断によるデータ転送量）の転送データが一時保持され、その後双方向 3 ステートバッファ 1 3 2 を介した割込処理のデータ転送が実行される。

【0029】なお、リクエスト信号 R E Q = " 1 " に応答して C P U 2 0 がリリース信号 R E L = " 1 " を直ちに返したときは、F I F O メモリ 1 3 4 へのデータ格納は行われず、この場合は双方向 3 ステートバッファ 1 3 2 を経由したデータ転送が行われる。

【0030】図 3 の回路動作を簡単にまとめると、次のようなる。

【0031】(1) 外部装置 3 1 または 3 2（若しくは図示しない第 3 の外部装置）からリクエスト信号 R E Q が出力されると、調停回路 1 0 はこのリクエストに対応した割込許可 G N T を外部装置に返す。

【0032】(2) C P U 2 0 がリリース信号 R E L を出すまで、上記外部装置から出力されるデータがメモリ 1 3 4 に格納される。

【0033】(3) C P U 2 0 がリリース信号 R E L を出すと、メモリ 1 3 4 に格納されたデータが C P U 2 0 へ転送される。

【0034】(4) メモリ 1 3 4 から C P U 2 0 へのデータ転送が終了しメモリ 1 3 4 からエンブティ信号 E M P が出力されると、双方向バッファ 1 3 2 のバス経路が復活する。

【0035】図 4 は、図 2 のバス調停装置に適用できるバス調停回路の具体例を示す。回路動作は基本的には図 3 の場合と同様であるが、C P U 2 0 から外部装置 3 1 または 3 2 へのデータ転送において、F I F O メモリ 1 5 4 に一時データを格納するかどうかの選択をウェイト信号 W I T で行うようにしている。（W I T = " 0 " の

8

ときは図 4 の回路機能は図 3 と同じ。）

【0036】

【発明の効果】この発明のバス調停装置では、共通バスを用いたデータ転送に衝突が生じた場合に、より優先度の高い処理によって後回しにされた転送データを一時的に保存する手段（101、102）と、保存されたデータを再転送する手段（120～156）とを含むバス調停回路 10 を設けている。このため、調停作業終了後に後回しにされたデータを再転送する機能をマイクロプロセッサ側あるいは外部装置側に設ける必要がなく、バス調停機能付加に伴うシステム構成を簡略化できる。また、この発明のバス調停装置を採用したシステムでは、後回しにされた転送データが一時的に保存されているから、転送データの再読み取りが不要となり、バス調停動作に伴うスループットの低下が最小限に押さえられる。

【図面の簡単な説明】

【図 1】この発明の一実施例に係るバス調停装置の概略構成を示すブロック図。

【図 2】この発明の他実施例に係るバス調停装置の概略構成を示すブロック図。

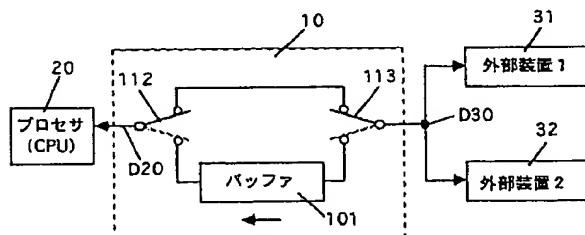
【図 3】図 1 のバス調停装置に適用できるバス調停回路の具体例を示す回路図。

【図 4】図 2 のバス調停装置に適用できるバス調停回路の具体例を示す回路図。

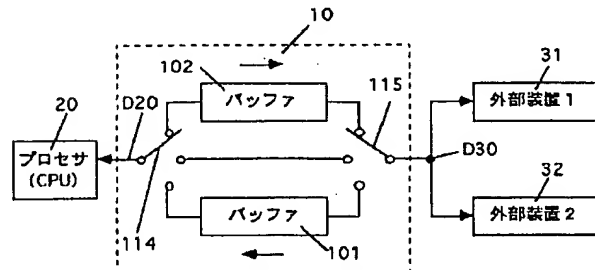
【符号の説明】

10…バス調停回路、20…プロセッサ（CPU）、31…外部装置 1（RAM）、32…外部装置 2（HDD、ROM 他）、101、102…バッファ回路（保存手段）、112～115…切換スイッチ回路、120、126、128、146、148…アンドゲート、122…RS フリップフロップ、124…非反転回路、130…反転回路、132…双方向 3 ステートバッファ、134、154…F I F O メモリ、136、156…単方向 3 ステートバッファ、140…反転入力オアゲート。

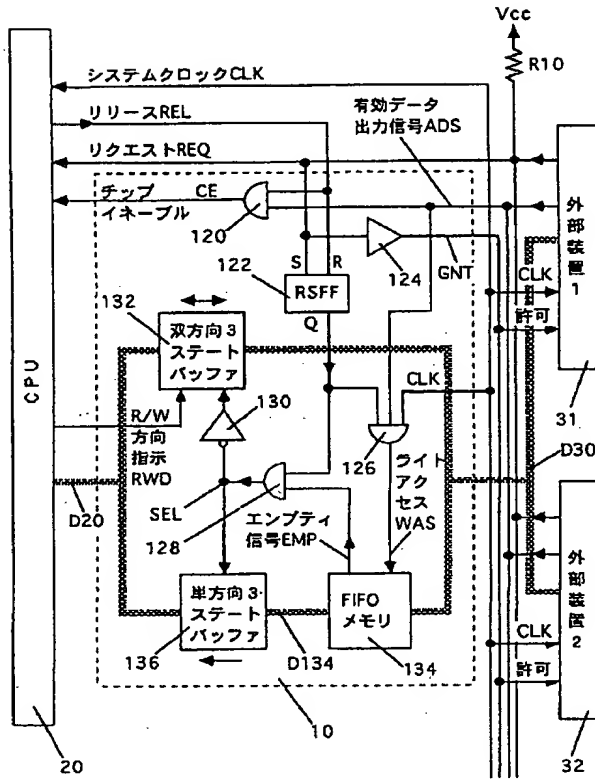
【図 1】



【図 2】



【図3】



【図4】

